



Oznámení o konání obhajoby dizertační práce

Doktorand:	Ing. Jaroslav Sýkora
Název dizertační práce:	Programmable and Customizable Hardware Accelerators for Self-Adaptive Virtual Processors in FPGA
Doktorský studijní program:	P1801 Informatika
Školitel:	Ing. Martin Daněk, Ph.D., TU Darmstadt, DE
Složení komise:	prof. Ing. Pavel Tvrdík, CSc., FIT ČVUT v Praze (předseda) doc. Ing. Petr Fišer, Ph.D., FIT ČVUT v Praze (místopředseda) prof. Dr.-Ing. Christian Hochberger, TU Darmstadt, DE (oponent) prof. Dr. Chris Jesshope, University of Amsterdam, NL (oponent) prof. Ing. Róbert Lórencz, CSc., FIT ČVUT v Praze (oponent) prof. Ing. Ondřej Novák, CSc., FM TUL Ing. Antonín Pleštil, CSc., ASICentrum
Datum a čas:	10.4.2014 ve 12:00 hod.
Místo:	Fakulta informačních technologií, místnost č. 364, 3. patro, Thákurova 9, 160 00 Praha 6

Dizertační práce je k dispozici k veřejnému nahlédnutí na Oddělení pro vědu a výzkum na děkanátu Fakulty informačních technologií ČVUT v Praze, Thákurova 9, 160 00 Praha 6, 3. poschodí, místnost č. 308.

V Praze, dne 7.3.2014

doc. RNDr. Ing. Marcel Jiřina, Ph.D.
proděkan pro vědu a výzkum FIT